

A02

(19)

KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020052655 A  
 (43)Date of publication of application: 04.07.2002

(21)Application number: 1020000082066  
 (22)Date of filing: 26.12.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.  
 (72)Inventor: WON, SEOK JUN YOO, CHA YEONG

(51)Int. Cl

H01L 27/04

(54) SEMICONDUCTOR MEMORY DEVICE HAVING CYLINDRICAL CAPACITOR AND METHOD FOR  
 FABRICATING THE SAME

## (57) Abstract:

PURPOSE: A semiconductor memory device having a cylindrical capacitor and a method for fabricating the same are provided to prevent damages of a lower mold layer pattern or an interlayer dielectric.

CONSTITUTION: An interlayer dielectric(102) is formed on a semiconductor substrate(100). A plug (104) is formed within the interlayer dielectric(102). A mold layer pattern(106a) and a wet etch stop layer pattern(108a) are formed on the interlayer dielectric (102). A cylindrical lower electrode(114a) is formed on a bottom and an inner wall of a contact hole. A spacer is formed among the cylindrical lower electrode (114a), the mold layer pattern(106a), and the wet etch stop layer pattern(108a). A dielectric layer(118) is formed on each surface of the cylindrical lower electrode(114a), the mold layer pattern(106a), and the wet etch stop layer pattern(108a). An upper electrode(120) is formed on the dielectric layer(118).

&amp;copy; KIPO 2003

## Legal Status

Date of request for an examination (20001226)

Final disposal of an application (registration)

Date of final disposal of an application (20020830)

Patent registration number (1003552390000)

Date of registration (20020923)



방지막(19)을 형성한다. 상기 슬식 식각 방지막(19)은 실리콘 질화막을 이용하여 형성한다. 상기 슬식 식각 방지막(19) 상에 상부 쿨드막(21)을 형성한다. 상기 상부 쿨드막(21)은 실리콘 산화막을 이용하여 형성한다.

상기 2를 참조하면, 상기 상부 롤드막(21), 습식 식각 방지막(19) 및 하부 롤드막(17)을 패터닝하여 상기 티타늄 질화막 플러그(15)를 노출시키는 콜택홀(22)을 형성한다. 이렇게 되면, 상기 상부 롤드막(21), 습식 식각 방지막(19) 및 하부 롤드막(17)은 각각 상부 롤드막 패턴(21a), 습식 식각 방지막 패턴(19a) 및 하부 롤드막 패턴(17a)이 형성된다.

#### • 2010년 이끌고자 하는 기술적 흐름

따라서, 본 발명이 이루고자 하는 기술적 과제는 하부 롤드막 패턴이나 층간 절연막의 손상이 방지된 실

린더링 거폐시터를 포함하는 반도체 메모리 소자를 제조하는 또 다른 기술적 과제는 상기 반도체 메모리 소자를 적합하게 제조할 수 있는 제조방법을 제공하는 데 있다.

### 언어의 구성을 왜 쪼개

의 하부 전국이 형성되어 있다. 상기 글들은 다음과 같은 특징을 보여준다. 첫째, 상기 실린더형의 하부 전국의 외벽과 상기 습식 식각 방식은 상기 실린더형의 하부 전국의 표면, 및 상기 실린더형의 하부 전국과 상기 습식 식각 방식과 함께 패턴간의 접착력을 향상시킬 수 있다. 둘째, 상기 실린더형의 하부 전국과 상기 습식 식각 방식과 함께 패턴과의 계면에 보이드를 형성되며, 상기 실린더형의 하부 전국과 상기 습식 식각 방식과 함께 패턴과의 계면에 보이드는 밀폐층 스페이서가 형성되어 있다. 상기 밀폐층 스페이서는 습식 식각 방식과 함께 패턴과의 계면에 보이드는 밀폐층 스페이서가 형성되어 있다. 상기 밀폐층 스페이서는 단탈륨 산화막으로 구성할 수가 형성되지 않는 비정질막으로 구성할 수 있다. 상기 밀폐층 스페이서는 단탈륨 산화막으로 구성할 수 있다.

상기 실린더형의 하부 전국, 상기 밀폐층, 스파이서 및 상기 습식 식각 방지 패턴의 표면에는 유전체층이 형성되어 있다. 상기 유전체층은 단탈률을 산화막으로 구성할 수 있다. 상기 유전체층은 커페시터의 상부 전극이 형성되어 있다. 상기 커페시터의 상부 전극은 백금족 귀금속막으로 구성할 수 있다.

여 형성할 수 있다. 상기 블드막 패턴은 물리적인 내벽을 이용하는 경우, 상기 콘택홀의 내벽에 밀폐층 스페이서를 형성한다. 상기 밀폐층 스페이서는 습식 식각 방지막 패턴과의 계면에 보이드가 형성되지 않는 비정질막으로 형성할 수 있다. 상기 밀폐층 스페이서는 탄탈을 산화막으로 형성할 수 있다. 상기 밀폐층 스페이서의 내벽, 블러그의 표면, 블드막 패턴의 표면에 하부 전극용 전자막이 형성된다. 상기 하부 전극용 도전막은 백금족 귀금속막으로 이용하여 형성할 수 있다. 상기 하부 전극용 도전막은 상기 콘택홀을 채우도록 희생막을 형성한다. 상기 희생막은 상기 콘택홀이 형성된 반도체 기판의 전면에 상기 콘택홀을 형성하는 경우, 상기 희생막은 전자막으로 형성된다. 상기 희생막은 상기 콘택홀을 형성하는 경우, 상기 희생막은 전자막으로 형성된다.

는 노도대시그로니 말입니다. 상기 희생막 및 하부 전극을 도전막을 순차적으로 식각  
상기 블랙막 패턴의 표면을 식각정지점으로 하여 하부 전극을 형성한 다음  
하여 상기 콘택홀에 매립된 희생막 패턴과 셀별로 분리되는 커패시터의 실린더형의 하부 전극을 형성합니다.  
상기 습식 식각 방지막 패턴과 밀폐층 스페이서를 식각 방지막으로 하여 상기 희생막 패턴  
다. 상기 습식 식각 방지막 패턴과 밀폐층 스페이서가 형성된 반도체 기판의  
패턴을 습식 식각으로 제거합니다. 상기 실린더형의 하부 전극 및 밀폐층은 탄탈을 산화막으로 형성할 수 있  
전면을 수소전해층 및 커패시터의 상부 전극을 형성합니다. 상기 희생막은 형성할 수 있다.  
다. 상기 커패시터의 상부 전극은 백금 즉 금속막으로 형성할 수 있다.

미상과 같은 발명의 반도체 메모리 소자는 커패시터의 실린더형 하부 전극과 습식 칙 방지막, 패턴 사이에 전자력을 험상시킬 수 있는 밀폐총 스페이서를 구비한다. 이에 따라, 제조 과정 중의 블드 산화막

상기 실린더형의 하부 전극(114a), 상기 밀폐층 스페이서(112a) 및 상기 습식, 식각 방지막 패턴(108a)의 표면에는 유전체층(118)이 형성되어 있다. 상기 유전체층(118)은 탄탈륨 산화막으로 구성된다. 상기 유전체층(118) 상에 상부 전극(120)이 형성되어 있다. 상기 상부 전극(120)은 백금족 귀금속막, 예컨대 백금막(Pt), 루테늄막(Ru), 미리듐(Ir)막을 이용하여 형성한다.

도 6 내지 도 11을 본 발명에 의한 실리더형 커패시터를 갖는 반도체 메모리 소자의 제조방법을 설명하기 위하여 도시한 단면도들이다.

도 6을 참조하면, 반도체 기판(100), 예컨대 실리콘 기판 상에 층간 절연막(102)을 형성한다. 상기 층간 절연막(102)은 실리콘 산화막으로 형성한다. 상기 층간 절연막(102) 내에 플러그(104)를 형성한다. 상기 플러그(104)는 타이타늄 절화막(TiN)으로 형성한다. 상기 층간 절연막(102) 및 플러그(104) 상에 하부 퀴즈 플러그(106)는 하우저의 커스피아터의 실리콘화학막으로 형성된다. 상기 하부 퀴즈 플러그(106)는 상기 하부 퀴즈 플러그(106)에 형성되는 퀴즈 퀴즈 플러그(106, lower mold layer)를 형성한다. 상기 하부 퀴즈 플러그(106)은 실리콘 산화막을 이용한다. 상기 하부 퀴즈 플러그(106)은 후속의 커스피아터의 실리콘화학막으로 형성되는데 도음을 주기 위하여 구리 퀴즈 플러그(106)은 필요에 따라 형성하지 않을 수도 있다.

도 7을 참조하면, 상기 상부 롤드막(110), 습식 식각 방지막(108) 및 하부 롤드막(106)을 패터닝한다. 이렇게 되면, 상기 플러그(104)를 노출시키는 콘택홀(111)을 갖는 상부 롤드막 패턴(110a), 습식 식각 방지막 패턴(108a) 및 하부 롤드막 패턴(106a)을 형성한다.

도 8을 참조하면, 상기 콘택홀(111)이 형성된 반도체 기판(102)의 전면에 밀폐층(112)을 형성한다. 상기 밀폐층(112)은 상기 슬식 식각 방지막 패턴 및 후에 형성되는 하부 전극과의 접착력이 좋고 슬식 식각 방지막 패턴(108a)과의 계면에 보이드가 형성되지 않는 비정질막으로 형성하는 것이 바람직하다. 상기 밀폐층(112)은 탄탈을 산화막으로 형성하는 것이 바람직하다. 상기 밀폐층(112)은 최종 공정 후에는 실린더형 층(112)의 외벽에서 유전체 층으로 작용하므로 커파시터스의 증가를 방지하기 위해 두께를 최소화시키는 하부 전극의 외벽에서 유전체 층으로 작용하므로 커파시터스의 증가를 방지하기 위해 두께를 100~200 Å로 할 경우 상기 밀폐층(112)의 두께는 10~40 Å으로 형성하는 것이 바람직하다.

도 9를 참조하면, 에치백 공정을 이용하여 상기 상부 롤드막 패턴(110a)의 표면 및 플러그(104)의 표면의 밀폐층(112)을 식각한다. 이렇게 되면, 상기 쿨택홀(111)의 내벽에만 밀폐층 스페이서(112a)가 형성된다. 상기 밀폐층 스페이서(112a)는 상기 하부 롤드막 패턴(106a) 및 슬식 식각 방지막 패턴(108a)의 내벽에 형성되기 때문에 후 공정, 예컨대 상부 롤드막 패턴의 제거시에 상기 하부 롤드막 패턴(106a) 및 슬식 식각 방지막 패턴(108a)을 밀폐 및 보호하는 역할을 수행한다.

상기 밀폐층 스페이서(112a)의 높이는 상기 에치백 공정을 이용하여 조절할 수 있고, 적어도 슬식 식각 방지막 패턴(108a)의 높이보다 높게 조절한다. 다시 말해, 상기 밀폐층 스페이서(112a)의 높이는 상기 슬식 식각 방지막 패턴(108a) 아래로 내려가지 않으면 상기 슬식 식각 방지막 패턴(108a)을 보호 및 밀폐시킬 수 있다. 결과적으로, 상기 밀폐층 스페이서(112a)는 최종적으로 실린더형 하부 전극의 외벽에서 유전될 수 있다.

체 층으로 작용하기 때문에 습식 식각 방지막 패턴(108a) 아래로 내려가지 않으면서 최대로 낮추어주는 것  
이 바람직하다.

상기 콘택홀(111) 내에 형성되는 하부 전극용 도전막(114)은 밀폐층 스페이서(112a), 예컨대 탄탈륨 산화막 상에 형성되기 때문에 실리콘 산화막이나 실리콘 질화막 상에 형성되는 것보다 표면 모풀로지를 좋게 할 수 있다. 다시 말해서, 상기 밀폐층 스페이서(112a)는 상기 하부 전극용 도전막 형성 시 핵형성 증진층으로 작용하여 상기 하부 전극용 도전막의 표면 모풀로지를 좋게 된다.

다음에, 상기 하부 전극용 도전막(114)이 형성된 반도체 기판(100)의 전면에 상기 콘택풀(111)을 채우도록 허설막(116)을 형성한다. 상기 허설막(116)은 포토레지스트나 실리콘 산화막으로 형성한다.

즉 회생막(110)을 활용하여 상기 상부 블록(110a)의 표면을 식각 절지점으로 하여 상기 회생막(116) 및 하도 10을 참조하면, 상기 상부 블록(110a)의 표면을 식각 절지점으로 하여 상기 회생막(116) 및 하도 10을 전극(114)을 도전막(114)을 순차적으로 각각한다. 이렇게 되면, 콘택홀(111)에 매립된 회생막(116a)과 부전극(114a)이 형성된다. 결과적으로, 상기 하부 전극(114a)은 셀별로 서로 분리되게 된다.

도 11을 참조하면, 상기 습식 식각 방지막 패턴(108a)과 밀폐층 스페이서(112a)를 식각 방지막으로 하여 상기 회생막 패턴(116a) 및 상부 블드막 패턴(110a)을 습식식각으로 제거함으로써 최종적으로 커페시터의 실린더형 하부 전극(114a)을 형성한다. 상기 회생막 패턴(116a) 및 상부 블드막 패턴(110a)의 습식 식각은 산화막 식각액, 예컨대 BOE(Buffered Oxide Etchant)를 이용하여 수십 초간 수행한다. 이때, 상기 밀폐층 스페이서(112a)와 습식 식각 방지막 패턴(108a)간에는 접착력이 좋고 그 계면에는 보이드가 없으므로 산화막 식각액이 하부 블드막 패턴(106)이나 층간 절연막(102) 쪽으로 침투하지 못한다. 따라서, 상기 회생막 패턴(116a) 및 상부 블드막 패턴(110a)의 습식 식각시 하부 블드막 패턴(106a)이나 층간 절연막(102)이 손상 받지 않는다. 본 실시예에서는 상기 회생막 패턴(116a)과 상부 블드막 패턴(110a)을 시에 제거하였으나 따로 제거할 수도 있다.

계속하여, 도 5에 도시한 바와 같이 상기 하부 전극(114a)이 형성된 반도체 기판(100)의 전면에 유전체층(118)을 형성한다. 상기 유전체층(118)은 탄탄한 산화막을 이용하여 100~200Å의 두께로 형성한 후, 상기 유전체층(118) 상에 상부 전극(120)을 형성함으로써 반도체 메모리 소자의 실린더형 커패시터를 완성한다. 상기 상부 전극(120)은 백금속, 예컨대 백금(Plt), 루테늄(Re) 등을 이용하여 형성된다. 상기 상부 전극(120)은 스텝 커리지가 우수한 홀화기상증착법을 이용하여 형성된다.

한국학 희망

### (7) 청구의 불위

그림 1. 바도체 기판 상의 층간 절연막 내에 형성된 플러그

상과 품권구를 노출하는 콜택홈이 혼성된 습식 설각 방지막 패턴

상기 플러그를 노출하는 단극들이 등장한 점이다. 그로 인해

상기 혼액홀의 대벽 및 바닥에 형성된 카페사리과 글루나이드 이후 관리  
상기 실린더형의 하부 전극의 외벽의 표면과, 상기 실린더형의 하부 전극의 외벽과 상기 습식 식각 방지  
막 패턴 사이에 형성되어 상기 실린더형의 하부 전극과 상기 습식 식각 방지막 패턴간의 접착력을 향상시  
킬 수 있는 밀착증 스페이너:

상기 실린더형의 하부 전극, 상기 밀폐층 스페이서 및 상기 습식 식각 방지 패턴의 표면에 형성된 유전체 층: 미

상기 유전체층 상에 형성된 커패시터의 상부 전극을 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 소자

제 1항에 있어서, 상기 습식 식각 방지 패턴의 하부에 물드막 패턴을 더 구비하는 것을 특징으로 하는 반도체 메모리 소자.

제 3항에 있어서, 상기 블드막 패턴은 실리콘 산화막으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

제4항에 있어서, 상기 습식 식각 방지막 패턴은 실리콘 절화막, 탄탈륨 산화막 또는 그 조합  
층으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 5. 제1항에 있어서, 상기 실린더형의 하부 전극과 상부 전극은 백금즉 커금속막으로 구성하는 것을 특징으로 하는 반도체 에모리 소자.

평가항 6. 제 1항에 있어서, 삼기 밀폐총 스페이서는 습식 식각 방지막 패턴과의 계면에 보이드가 형성되거나 양수 배출점 막으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

10-4

청구항 7. 제1항에 있어서, 상기 밀폐층 스페이서는 탄탈을 산화막으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 8. 제1항에 있어서, 상기 유전체층은 탄탈을 산화막으로 구성하는 것을 특징으로 하는 반도체 메모리 소자.

청구항 9. 반도체 기판 상의 층간 절연막 내에 플러그를 형성하는 단계; 상기 층간 절연막 상에 상기 플러그를 노출시키는 콘택홀을 모두 갖는 습식 식각 방지막 패턴 및 물드막 패턴을 형성하는 단계;

상기 콘택홀의 내벽에 밀폐층 스페이서를 형성하는 단계; 상기 밀폐층 스페이서의 내벽, 플러그의 표면, 물드막 패턴의 표면에 하부 전극용 도전막을 형성하는 단계;

상기 하부 전극용 도전막이 형성된 반도체 기판의 전면에 상기 콘택홀을 채우도록 희생막을 형성하는 단계;

상기 물드막 패턴의 표면을 식각정지점으로 하여 상기 희생막 및 하부 전극용 도전막을 순차적으로 식각 하여 상기 콘택홀에 매립된 희생막 패턴과 셀별로 분리되는 커패시터의 실린더형의 하부 전극을 형성하는 단계;

상기 물드막 패턴과 밀폐층 스페이서를 식각 방지막으로 하여 상기 희생막 패턴 및 물드막 패턴을 습식 식각으로 제거하는 단계; 및

상기 실린더형의 하부 전극 및 밀폐층 스페이서가 형성된 반도체 기판의 전면에 유전체층 및 커패시터의 상부 전극을 형성하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 10. 제9항에 있어서, 상기 습식 식각 방지막 패턴의 하부에 하부 물드막 패턴이 더 형성되어 있는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 11. 제10항에 있어서, 상기 하부 물드막 패턴은 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 12. 제10항에 있어서, 상기 하부 물드막 패턴은 상기 하부 물드막 패턴, 습식 식각 방지막 패턴 및 물드막 패턴의 총두께의 5-20% 두께로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 13. 제9항에 있어서, 상기 습식 식각 방지막 패턴은 실리콘 절화막, 탄탈을 산화막 또는 그 조합막을 이용하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 14. 제9항에 있어서, 상기 물드막 패턴은 실리콘 산화막을 이용하여 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 15. 제9항에 있어서, 상기 실린더형의 하부 전극과 상부 전극은 백금즉 귀금속막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 16. 제9항에 있어서, 상기 밀폐층 스페이서는 습식 식각 방지막 패턴과의 계면에 보이드가 형성 되지 않는 비정질막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 17. 제9항에 있어서, 상기 밀폐층 스페이서는 탄탈을 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

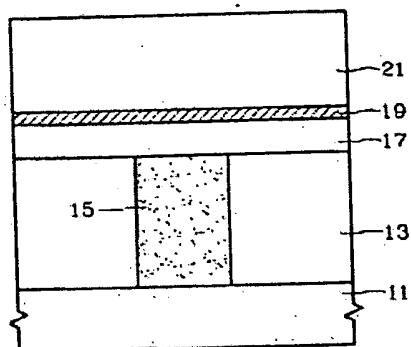
청구항 18. 제9항에 있어서, 상기 유전체층은 탄탈을 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

청구항 19. 제9항에 있어서, 상기 희생막은 포토레지스트나 실리콘 산화막으로 형성하는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

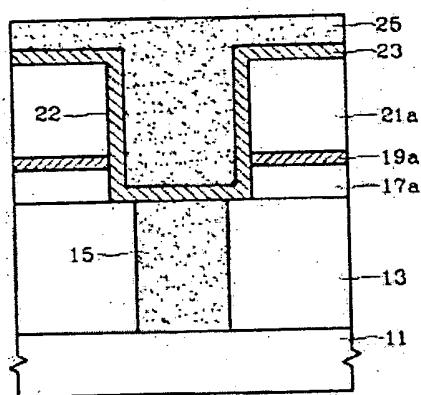
청구항 20. 제9항에 있어서, 상기 밀폐층 스페이서는 상기 콘택홀이 반도체 기판의 전면에 밀폐층을 형성하는 단계와, 상기 밀폐층을 적어도 상기 습식 식각 방지막 패턴의 높이보다 크게 에치백하는 단계를 포함하여 이루어지는 것을 특징으로 하는 반도체 메모리 소자의 제조방법.

도면

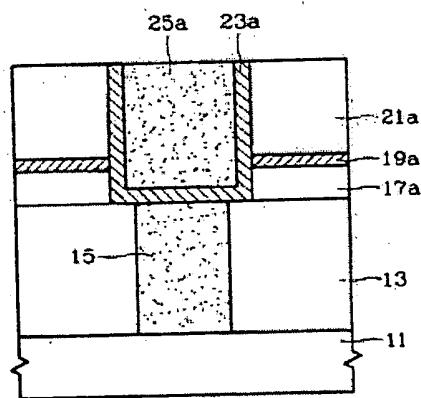
도면1



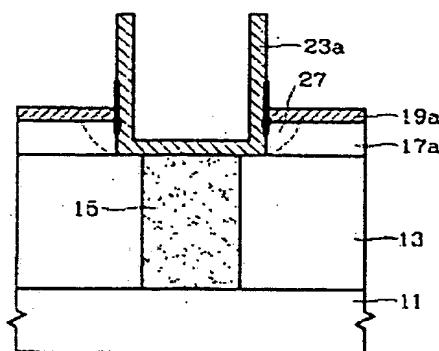
도면2



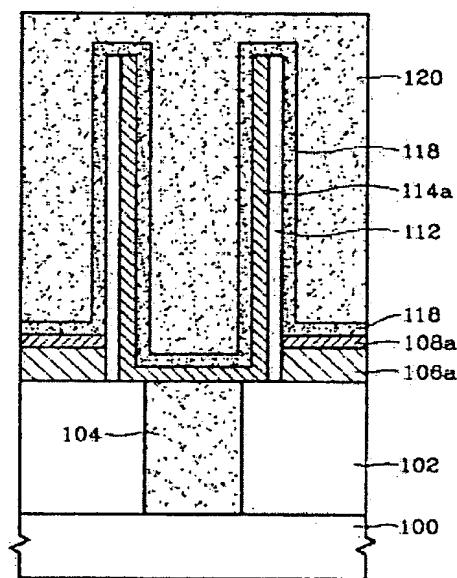
도면3



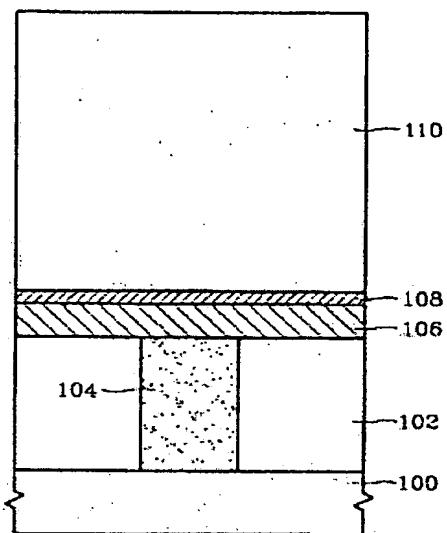
도면



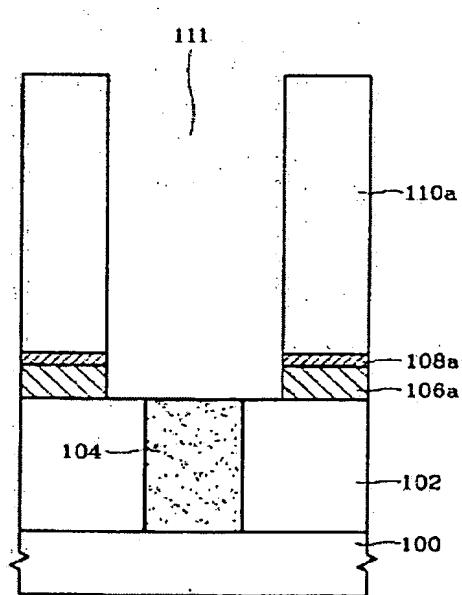
도면



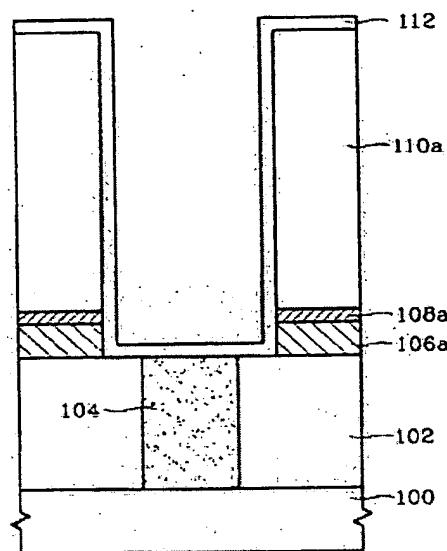
506



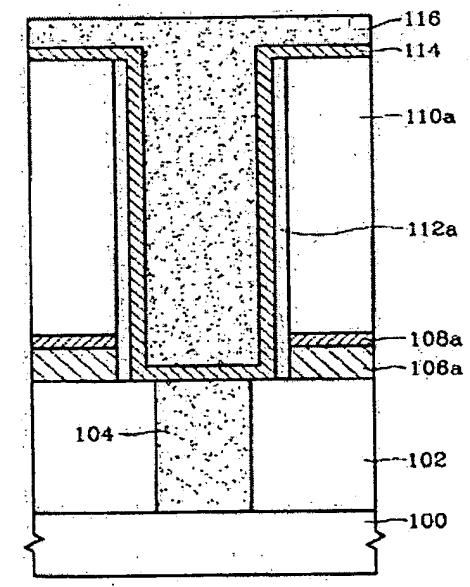
507



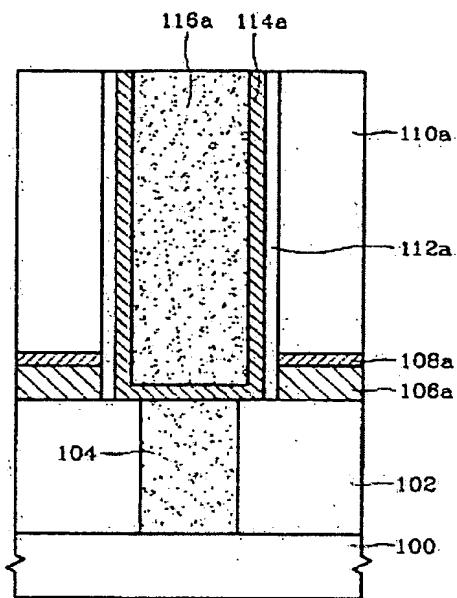
528



529



도면 10



도면 11

